

【書類名】明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項1】

Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、

前記CMOS回路の前記Nチャネル型TFTは、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項2】

Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、

前記CMOS回路の前記Nチャネル型TFTおよび前記Pチャネル型TFTは、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記Nチャネル型TFTの活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項3】

請求項1において、前記Nチャネル型TFTの第1配線と前記第2配線とは電気的に接続されていることを特徴とする半導体装置。

【請求項4】

請求項1または請求項2において、前記第1配線および／または前記第2配線は、タンタル(Ta)、クロム(Cr)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜またはシリサイド膜であること

を特徴とする半導体装置。

【請求項5】

Nチャネル型TFTで形成された画素TFTと保持容量とを有する画素マトリクス回路を含む半導体装置において、

前記画素TFTは絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項6】

請求項5において、前記保持容量は前記第1配線、前記第1絶縁層および前記活性層との間で形成されていることを特徴とする半導体装置。

【請求項7】

請求項5において、前記第1配線はフローティング状態にあることを特徴とする半導体装置。

【請求項8】

請求項5または請求項6において、前記第1配線は最低電源電位に保持されることを特徴とする半導体装置。

【請求項9】

請求項5または請求項6において、前記第1配線および/または前記第2配線は、タンタル(Ta)、クロム(Cr)、チタン(Ti)、タンゲステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜またはシリサイド膜であることを特徴とする半導体装置。

【請求項10】

同一基板上に形成された画素マトリクス回路とドライバー回路とを有する半導体装置において、

前記画素マトリクス回路に含まれる画素TFTと前記ドライバー回路に含まれるNチャネル型TFTとは、絶縁層を介して第1配線および第2配線によって活

性層が挟まれた構造を有し、

前記画素TFTに接続された第1配線は最低電源電位に保持され、前記ドライバー回路に含まれるNチャネル型TFTに接続された第1配線は、該ドライバー回路に含まれるNチャネル型TFTに接続された第2配線と同電位に保持されることを特徴とする半導体装置。

【請求項11】

請求項10において、前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする半導体装置。

【請求項12】

請求項10または請求項11において、前記第1配線および／または前記第2配線は、タンタル(Ta)、クロム(Cr)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜またはシリサイド膜であることを特徴とする半導体装置。

【請求項13】

請求項1乃至請求項12に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイまたはアクティブマトリクス型ELディスプレイであることを特徴とする半導体装置。

【請求項14】

請求項1乃至請求項12に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【請求項15】

Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置の作製方法において、

基板上に第1配線を形成する工程と、

前記第1配線の上に第1絶縁層を形成する工程と、

前記第1絶縁層の上に前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を形成する工程と、

前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を覆って第2絶縁層を形成する工程と、

前記第2絶縁層の上に第2配線を形成する工程と、

前記Nチャネル型TFTの活性層にLDD領域を形成する工程と、
を有し、

前記LDD領域は前記第1配線とは重なり、且つ前記第2配線とは重ならない
ように設けられることを特徴とする半導体装置の作製方法。

【請求項16】

請求項15において、前記第1配線および／または前記第2配線は、タンタル(Ta)、クロム(Cr)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜またはシリサイド膜で形成されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は薄膜トランジスタ(以下、TFTという)で構成された回路を有する半導体装置に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器も半導体装置である。

【0003】

【従来の技術】

薄膜トランジスタ(以下、TFTという)は透明なガラス基板に形成すること

ができるので、アクティブマトリクス型液晶ディスプレイ（以下、AM-LCDという）への応用開発が積極的に進められてきた。結晶質半導体膜（代表的にはポリシリコン膜）を利用したTFTは高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

【0004】

アクティブマトリクス型液晶表示装置は、画面の解像度が高精細になるに従い、画素だけでも100万個のTFTが必要になってくる。さらに機能回路を付加すると、それ以上の数のTFTが必要になり、液晶表示装置を安定に動作させるためには、個々のTFTの信頼性を確保して安定に動作させる必要があった。

【0005】

ところが、TFTは必ずしも信頼性の面で単結晶半導体基板に作製されるMOSFETと同等ではないとされている。MOSFETでも問題となっていたように、TFTにおいても長期にわたって動作させると移動度やオン電流が低下するといった現象が起こる。このような現象がおこる原因の一つは、チャネル電界の増大に伴って発生するホットキャリアによる特性の劣化である。

【0006】

一方、MOSFETでは、信頼性を向上させる技術として、LDD (Lightly Doped Drain) 構造が良く知られている。この構造は、ソース・ドレイン領域の内側に、さらに低濃度の不純物領域を設けたものであり、この低濃度不純物領域をLDD領域と呼んでいる。この構造はTFTでも採用されている。

【0007】

さらにMOSFETでは、ゲート絶縁膜を介して、LDD領域をゲート電極とある程度オーバーラップさせる（重ならせる）構造が知られている。この構造を形成する方法は幾つかあるが、例えば、GOLD (Gate-drain Overlapped LD) や、LATID (Large-tilt-angle implanted drain) と呼ばれる構造が知られている。このような構造とすることで、ホットキャリア耐性を高めることができた。

【0008】

また、こういったMOSFETの構造をTFTに応用しようという試みもなさ

れている。しかしながら、GOLD構造（本明細書中ではゲート電圧が印加されるLDD領域を有する構造をGOLD構造と呼ぶ。逆にゲート電圧が印加されないLDD領域のみを有する構造をLDD構造と呼ぶ。）の場合、LDD構造に比べてオフ電流（TFTがオフ状態にある時に流れる電流）が大きくなってしまうという問題がある。そのため、AM-LCDの画素マトリクス回路のように、オフ電流を極力抑えたい回路に使うには不適切であった。

【0009】

【発明が解決しようとする課題】

本願発明では、AM-LCDの各回路を機能に応じて適切な構造のTFTでもって形成し、高い信頼性を有するAM-LCDを提供することを目的とする。延いては、そのようなAM-LCDを有する半導体装置（電子機器）の信頼性を高めることを目的とする。

【0010】

【課題を解決するための手段】

本明細書で開示する発明の構成は、

Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、

前記CMOS回路の前記Nチャネル型TFTは、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする。

【0011】

また、他の発明の構成は、Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置において、

前記CMOS回路の前記Nチャネル型TFTおよび前記Pチャネル型TFTは、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記Nチャネル型TFTの活性層はチャネル形成領域に接して低濃度不純物領

域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする。

【0012】

なお、上記構成において、前記Nチャネル型TFTの第1配線と前記第2配線とは電気的に接続されていることが好ましい。こうすることで第1配線と第2配線を同電位とすることができます。

【0013】

また、上記構成において、前記第1配線および／または前記第2配線は、タンタル(Ta)、クロム(Cr)、チタン(Ti)、タングステン(W)、モリブデン(Mo)、またはシリコン(Si)から選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜またはシリサイド膜(タングステンシリサイド膜)を用いることができる。また、それらの膜を積層して用いても良い。

【0014】

また、他の発明の構成は、

Nチャネル型TFTで形成された画素TFTと保持容量とを有する画素マトリクス回路を含む半導体装置において、

前記画素TFTは絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されていることを特徴とする。

【0015】

なお、前記保持容量は前記第1配線、前記第1絶縁層および前記活性層との間で形成されている。この第1配線は画素TFTの遮光層として機能するため、遮光層が保持容量の電極として用いられているとも言える。このように活性層の下に形成される配線を保持容量を形成する電極として用いることは、画素の開口率を改善する上でも有効である。

【0016】

また、前記第1配線はフローティング状態にあっても良いが、最低電源電位に保持されることが望ましい。こうすることで画素TFTの動作に影響を与えることなく、遮光層として用いることが可能である。

【0017】

また、他の発明の構成は、

同一基板上に形成された画素マトリクス回路とドライバ回路とを有する半導体装置において、

前記画素マトリクス回路に含まれる画素TFTと前記ドライバ回路に含まれるNチャネル型TFTとは、絶縁層を介して第1配線および第2配線によって活性層が挟まれた構造を有し、

前記画素TFTに接続された第1配線は最低電源電位に保持され、前記ドライバ回路に含まれるNチャネル型TFTに接続された第1配線は、該ドライバ回路に含まれるNチャネル型TFTに接続された第2配線と同電位に保持されることを特徴とする。

【0018】

上記構成において、前記活性層はチャネル形成領域に接して低濃度不純物領域を含んでおり、

前記低濃度不純物領域は前記第1配線に重なり、且つ、前記第2配線に重ならないように形成されている。

【0019】

また、他の発明の構成は、

Nチャネル型TFTとPチャネル型TFTとで形成されたCMOS回路を含む半導体装置の作製方法において、

基板上に第1配線を形成する工程と、

前記第1配線の上に第1絶縁層を形成する工程と、

前記第1絶縁層の上に前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を形成する工程と、

前記Nチャネル型TFTの活性層および前記Pチャネル型TFTの活性層を覆って第2絶縁層を形成する工程と、

前記第2絶縁層の上に第2配線を形成する工程と、
前記Nチャネル型TFTの活性層にLDD領域を形成する工程と、
を有し、

前記LDD領域は前記第1配線とは重なり、且つ前記第2配線とは重ならない
ように設けられることを特徴とする。

【0020】

【発明の実施の形態】

【実施形態1】

本願発明の実施の形態について、Nチャネル型TFT（以下、NTFTという）とPチャネル型TFT（以下、PTFTという）を組み合わせたCMOS回路（インバータ回路）を例にとって説明する。

【0021】

なお、断面構造は図1（A）に示し、上面図は図1（B）に示す。また、図1（A）、（B）は同一の符号を用いて説明する。また、図1（B）のA-A'、B-B'、C-C'で切った時の断面図は図1（A）においてA-A'、B-B'、C-C'で示した各断面図に対応する。

【0022】

まず、図1（A）において、100は基板、101は下地膜、102a、102b、102cは第1配線、103は第1絶縁層、104はNTFTの活性層、105はPTFTの活性層、106は第2絶縁層である。

【0023】

その上には導電膜で形成された第2配線107a、107b、107c、107dを有する。また、108は第1層間絶縁層、109～111は第3配線であり、109、110がソース配線（ソース電極を含む）、111がドレイン配線（ドレイン電極を含む）である。

【0024】

以上のような構造でなるCMOS回路において、基板100としてはガラス基板、石英基板、金属基板、ステンレス基板、プラスチック基板、セラミックス基板またはシリコン基板を用いることができる。シリコン基板を用いる場合は予め

に表面を酸化して酸化珪素膜を設けておくと良い。

【0025】

また、下地膜101としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜など珪素を主成分とする絶縁膜を用いても良いし、酸化タンタル膜など緻密で堅い絶縁膜を用いることも有効である。

【0026】

また、第1配線は図1（B）に示すように同一パターンからなる配線であるが、説明の便宜上、部分ごとに102a、102b、102cに区別した。ここでは第1配線102aは活性層103との交差部、第1配線102bはTFT間の接続部、第1配線102cは各回路に共通の電源供給部を指し示している。

【0027】

この時、第1配線102aはNTFTのサブゲート電極として機能する。即ち、チャネル形成領域112の電荷制御は第1配線102aと、第1配線102aと同電位（または所定の電位）が与えられた第2配線（メインゲート電極）107aとで行われ、第1配線102aのみがLDD領域113にゲート電圧（または所定の電圧）を印加することができるような構造となっている。

【0028】

従って、第2配線107aのみをゲート電極として機能させた場合はGOLD構造にならない（LDD構造となる）が、第1配線102aと組み合わせることで初めてGOLD構造を実現することができる。この構造の利点は後述するとして、さらに、この第1配線102aは遮光層としての機能をも兼ねている。

【0029】

なお、第1配線の材料としては導電性を有していればどのような材料を用いても構わない。ただし、後のプロセス温度に耐えうる耐熱性を有する材料であることが望ましい。例えばタンタル（Ta）、クロム（Cr）、チタン（Ti）、タンゲステン（W）、モリブデン（Mo）、またはシリコン（Si）から選ばれた元素を主成分（成分比が50%以上）とする導電膜、或いは前記元素を組み合った合金膜やシリサイド膜を用いても構わない。

【0030】

具体的には、タンタル膜、クロム膜、タングステンシリサイド膜とシリコン（珪素）膜との積層膜が好ましい。タングステンシリサイド膜とシリコン膜との積層膜を用いる場合、活性層に近い側にシリコン膜を設けるような構造とすることが好ましい。

【0031】

また、本実施形態の特徴としては、第1配線102aがNTFTのみに設けられ、PTFTには設けられない点が挙げられる。図1（A）の場合、PTFTはオフセット領域もLD領域も形成されていないが、どちらか一方または両方を備えていても構わない。

【0032】

このような構造であるため、図1（B）に示すように第1配線は電源供給部から接続部を経由してNTFTに至り、NTFTのサブゲート電極として機能することになる。

【0033】

また、第2配線も全て同一パターンからなる配線であるが、説明の便宜上、部分ごとに区別した。区別の仕方は第1配線とほぼ同様であり、図1（A）において、107aがNTFTの活性層104との交差部、107bがPTFTの活性層105との交差部、107cがTFT間の接続部、107dが電源供給部である。

【0034】

第2配線は導電膜であれば如何なる膜を用いてもよく、タンタル（Ta）膜、クロム（Cr）膜、チタン（Ti）膜、タングステン（W）膜、モリブデン（Mo）膜、シリコン（Si）膜を自由に組み合わせて形成することができる。また、これらの合金膜やシリサイド膜を用いても構わない。さらに、同種または異種の導電膜を積層して形成しても構わない。

【0035】

以上のように、本実施形態のCMOS回路にはNTFTのみに第1配線（サブゲート配線）が設けられ、第1配線に第2配線（メインゲート配線）と同じ電圧を印加するか、所定の電圧を印加することでNTFTをGOLD構造とすることができる。

【0036】**[実施形態2]**

本願発明の実施の形態について、N TFTを画素TFTとして用いた画素マトリクス回路を例にとって説明する。なお、この画素マトリクス回路は「実施形態1」で説明したCMOS回路と同一の基板上に同時に形成されるため、同一名称で記載された配線に関する詳細は「実施形態1」の記載を参考にすれば良い。

【0037】

なお、断面構造は図2 (A) に示し、上面図は図2 (B) に示す。また、図2 (A) 、 (B) は同一の符号を用いて説明する。また、図2 (B) のA-A'、B-B'で切った時の断面図は図2 (A) においてA-A'、B-B'で示した各断面図に対応する。

【0038】

まず、図2 (A) において、200は基板、201は下地膜、202a、202b、202cは第1配線、203は容量配線、204は第1絶縁層、205は画素TFT (N TFT) の活性層、206は第2絶縁層である。なお、画素TFTはダブルゲート構造を例示しているが、シングルゲート構造でも良いし、三つ以上のTFTを直列に接続したマルチゲート構造としても構わない。

【0039】

この時、容量配線203と活性層205（具体的にはドレイン領域から延長した部分）との間で第1絶縁層204を誘電体とする保持容量が形成される。この際、第1絶縁層204を窒化珪素膜の上に酸化珪素膜を設けた積層構造としており、保持容量となる部分の酸化珪素膜を選択的に除去した後で活性層を形成すれば比誘電率の高い窒化珪素膜のみを誘電体とする保持容量を実現できる。

【0040】

また、第2絶縁層206の上には第2配線207a、207b、207cが設けられる。第2配線207aはいわゆるゲート配線であり、207b、207cが実質的なゲート電極である。

【0041】

また、208は第1層間絶縁層、209、210は第3配線であり、209が

ソース配線（ソース電極を含む）、210がドレイン配線（ドレイン電極を含む）である。さらに、その上には第2層間絶縁層211、ブラックマスク212、第3層間絶縁層213、画素電極214が設けられる。

【0042】

また、第1配線は図2（B）に示すように同一パターンからなる配線であるが、説明の便宜上、部分ごとに202a、202b、202cに区別した。ここでは第1配線202aはゲート電極として機能しない配線部、202b、202cは活性層204との交差部であり、ゲート電極部として機能する部分である。

【0043】

なお、ここに示した第1配線は「実施形態1」で説明した第1配線と同時に形成される。従って、材料等の説明は省略する。

【0044】

この時、第1配線202b、202cは画素TFTの遮光膜として機能する。即ち、「実施形態1」で説明したようなサブゲート配線としての機能はなく、固定電位にしておくか、フローティング状態（電気的に孤立した状態）にしておく。即ち、画素TFTにおいてはTFTの動作に影響を与えず、遮光層としてのみ機能するような電位に保持しておくことが必要である。

【0045】

固定電位としては、少なくともビデオ信号の最低電位（具体的にはビデオ信号が-8～8Vで振幅するならば-8Vを指す）よりも低い電位、好ましくは形成される回路全体の最低電源電位または最低電源電位よりも低い電位にしておくことが望ましい。

【0046】

例えば、AM-LCDの場合、ドライバ回路や他の信号処理回路と画素マトリクス回路とで様々な電源供給線が形成され、それぞれに所定の電位が与えられている。即ち、ある基準となる最低電位があり、それを基準として様々な電圧が形成される。最低電源電位とは、それら回路の全てにおいて基準となる最低電位を指す。

【0047】

第1配線を上述のような電位に保持しておくことで、ホットキャリア注入によって発生したホールをチャネル形成領域から引き抜くことが可能となり、ホールの蓄積によるパンチスルーハードウェアを防ぐことができる。

【0048】

このようにチャネル形成領域215、216の電荷制御は第1配線207bと第1配線207cとで行われ、LDD構造として動作する。これによりオフ電流の増加を効果的に抑制することができる。

【0049】

このように本実施形態に示した画素マトリクス回路では画素 TFTとしてNTFTが用いられ、その構造は「実施形態1」で説明したCMOS回路のNTFTと同一構造である。しかしながら、CMOS回路では第1配線に所定電圧を印加してサブゲート配線として用いることでGOLD構造を実現したのに対し、画素マトリクス回路では第1配線を固定電位またはフローティング状態にしてLDD構造として用いる点に違いがある。

【0050】

即ち、本願発明の最大の特徴は、同一基板上に同一構造のNTFTを形成しておき、第1配線（サブゲート配線）に印加する電圧の有無によってGOLD構造とLDD構造とを使い分ける点にある。これにより工程数を増やすことなく、最適な回路設計が可能となるのである。

【0051】

以上に示した本願発明の構成について、以下に示す実施例でさらに詳細に説明する。

【0052】

【実施例】

【実施例1】

本実施例では、「実施形態1」で説明したCMOS回路の作製方法について説明する。説明には図3を用いる。

【0053】

まず、基板300としてガラス基板を用意し、その上に200nm厚の酸化タン

タル膜をスパッタ法で形成して下地膜301とした。さらに、その上に第1配線302a、302b、302cを形成した。第1配線の材料としては、スパッタ法によりタンタル膜を形成して用いた。タンタル膜の表面は酸化膜を設けても良かつた。

【0054】

勿論、第1配線302a、302b、302cは導電性を有する膜であれば良いので、他の金属膜や合金膜等またはそれらの積層膜を用いても構わない。なお、テーパー角の小さいパターン形成が可能な膜を用いると平坦性を向上させることができるために有効である。

【0055】

次に、珪素（シリコン）を含む絶縁膜でなる第1絶縁層303を形成した。第1絶縁層303は活性層を保護する下地膜としての役割を果たすと同時に、第1配線302aをサブゲート配線として用いる際のゲート絶縁膜として機能する。

【0056】

本実施例ではまず50nmの窒化珪素膜を成膜し、その上に80nmの酸化珪素膜を積層した構造を採用した。他にも SiO_xNy ($x/y = 0.01 \sim 1.00$) で示される酸化窒化珪素膜（窒化酸化珪素膜ともいう）を用いても良い。その際、窒素の含有量を酸素の含有量よりも多くすることで耐圧を向上させることができる。

【0057】

次に、50nm厚の非晶質珪素膜（図示せず）を形成し、公知のレーザー結晶化技術により結晶化して結晶質珪素膜を形成した。そして結晶質珪素膜をパターニングして活性層304、305を形成した。本実施例では、結晶化工程を、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質珪素膜に照射することによって行った。

【0058】

なお、本実施例では活性層に用いる半導体膜として非晶質珪素膜を結晶化した結晶質珪素膜を用いたが、他の半導体膜として微結晶珪素膜を用いても構わない。また、珪素膜以外に、シリコンゲルマし、直接結晶質珪素膜を成膜しても良い。

ニウム膜等の化合物半導体膜を用いることも可能である。

【0059】

なお、活性層304、305を形成する前または後で結晶質珪素膜中に13族に属する元素および／または15族に属する元素を添加しても良い。ここで添加される元素は TFT のしきい値電圧を制御するための元素である。

【0060】

例えば、まず13族に属する元素としてボロンを結晶質珪素膜全体に添加してプラス方向のしきい値制御を行い、次に選択的にリンを添加してマイナス方向のしきい値制御を行って、NTFT およびPTFT のしきい値電圧が所望の値になるように調節すれば良い。

【0061】

次に、活性層304、305を覆って、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜またはそれらの積層膜でなる第2絶縁層306を形成した。ここではプラスマCVD法で酸化窒化珪素膜を100nmの厚さに形成した。この第2絶縁層は第2配線をメインゲート配線として用いる際のゲート絶縁膜として機能する。

【0062】

次に、後に第2配線となる200nm厚のタンタル膜307を形成した。タンタル膜307の成膜方法はスパッタ法でもCVD法でも良い。

【0063】

こうして図3(A)の状態が得られたら、レジストマスク308a、308bを形成し、タンタル膜307をエッチングした。こうしてタンタル膜でなる第2配線309aが形成された。この第2配線309aは図1(A)の第2配線(メインゲート配線)107aに相当する。また、タンタル膜309bはNTFTとなる領域以外を隠すようにして残される。

【0064】

次に、15族に属する元素(代表的にはリンまたは砒素)を添加し、低濃度不純物領域310、311を形成した。本実施例では15族に属する元素としてリンを用い、質量分離を行わないイオンドーピング法を用いて添加した。また、添加条件としては、加速電圧を90keVとし、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm²

³ (好ましくは $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³) の濃度でリンが添加されるようドーザ量を調節した。この濃度が後に LDD 領域の不純物濃度になるので精密に制御する必要がある。(図3 (B))

【0065】

なお、本明細書中ではこのような条件で行われた不純物添加工程をリン(n-)の添加工程という。

【0066】

次に、レジストマスク308a、308bを除去し、新たにレジストマスク312a～312dを形成した。そしてタンタル膜309bをエッチングして第2配線313a～313cを形成した。この第2配線313a～313cはそれ順に図1 (A) の第2配線107b、107c、107dに相当する。

【0067】

次に、13族に属する元素(代表的にはボロンまたはガリウム)を添加し、不純物領域314、315を形成した。また、このとき同時にPTFTのチャネル形成領域316が画定した。本実施例では13族に属する元素としてボロンを行い、質量分離を行わないイオンドーピング法を用いて添加した。添加条件としては、加速電圧を75keVとし、 $1 \times 10^{19} \sim 5 \times 10^{21}$ atoms/cm³(好ましくは $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³)の濃度でボロンが添加されるようにドーザ量を調節した。(図3 (C))

【0068】

なお、本明細書中ではこのような条件で行われた不純物添加工程をボロン(p++)の添加工程という。

【0069】

次に、レジストマスク312a～312dを除去した後、再びレジストマスク317a～317dを形成した。本実施例では、これらのレジストマスクは裏面露光法を用いて形成した。即ち、レジストマスク317a、317c、317dは第1配線がマスクとなり、レジストマスク317bは第2配線がマスクとなっている。この時、第1配線をマスクとなる場合は少し光の回り込みがあるので、第1配線よりも線幅が細くなる。この線幅は露光条件によって制御することが可能である。

る。即ち、この回り込み量を制御することでLDD領域の幅（長さ）を制御することができる。

【0070】

勿論、これらのレジストマスクを、マスクを用いて形成することもできる。その場合、パターン設計の自由度は高くなるがマスク枚数が増えてしまう。

【0071】

こうしてレジストマスク317a～317dが形成されたら、15族に属する元素（本実施例ではリン）の添加工程を行った。ここでは加速電圧を90keVとし、 $1 \times 10^{19} \sim 5 \times 10^{21}$ atoms/cm³（好ましくは $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³）の濃度でリンが添加されるようにドーズ量を調節した。

【0072】

なお、本明細書中ではこのような条件で行われた不純物添加工程をリン（n⁺）の添加工程という。

【0073】

この工程によりN TFTのソース領域318、ドレイン領域319、LDD領域320およびチャネル形成領域321が画定した。また、この工程ではPTFTのドレイン領域322とソース領域323にもリンが添加されるが、前工程でさらに高い濃度のボロンが添加されていれば、N型に反転しないためP型を維持したままとなる。

【0074】

こうしてN TFTおよびPTFTに一導電性を付与する不純物元素を添加したら、ファーネスアニール法、レーザーアニール法、ランプアニール法またはそれらの手法を併用して不純物元素の活性化を行った。

【0075】

こうして図3（D）の状態が得られたら、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、樹脂膜またはそれらの積層膜でなる第1層間絶縁層324を形成した。そしてコンタクトホールを開けてソース配線325、326、ドレイン配線327を形成した。（図3（E））

【0076】

本実施例では第1層間絶縁層324として、最初に窒化珪素膜を50nm形成し、さらに酸化珪素膜を950nm形成した2層構造とした。また、本実施例ではソース配線およびドレイン配線を、チタン膜100nm、チタンを含むアルミニウム膜300nm、チタン膜150nmをスパッタ法で連続して形成した3層構造の積層膜をパターニングして形成した。

【0077】

こうして図3（E）に示すような構造のCMOS回路が完成した。本実施例のCMOS回路は図1（A）に示した構造であり、それについての説明は「実施形態1」で詳細に説明したのでここでの説明は省略する。また、図1（A）の構造を得るにあたって、本実施例の作製工程に限定される必要はない。例えば、N TFTをダブルゲート構造とし、PTFTをシングルゲート構造とするようなことも可能である。

【0078】

なお、本実施例で説明したCMOS回路はAM-LCDにおいてはドライバー（駆動）回路（シフトレジスタ回路、バッファ回路、レベルシフタ回路、サンプリング回路など）やその他の信号処理回路（分割回路、D/Aコンバータ回路、γ補正回路、オペアンプ回路など）を構成する基本単位回路である。

【0079】

本実施例ではN TFTの第1配線をサブゲート配線として用いることで実質的なGOLD構造を実現することができ、ホットキャリア注入による劣化を防ぐことができる。従って、非常に信頼性の高い回路を形成することができる。

【0080】

〔実施例2〕

本実施例では「実施形態2」で説明した画素マトリクス回路の作製方法について説明する。説明には図4、図5を用いる。なお、画素マトリクス回路は同一基板上において、実施例1に示したCMOS回路と同時に形成されるため、実施例1の作製工程に対応させて説明する。従って、必要に応じて図3と同じ符号を使って説明することとする。

【0081】

まず、ガラス基板300上に酸化タンタル膜でなる下地膜301を形成し、その上に第1配線401a、401b、401c、容量配線402を形成した。なお、第1配線401aは図2(A)の第1配線202aに、第1配線401bは図2(A)の第1配線202bに、第1配線401cは図2(A)の第1配線202cに相当する。

【0082】

また、容量配線402は図2(A)の容量配線203に相当する。また、これら第2配線および容量配線の材料は実施例1で説明した通りである。

【0083】

次に、実施例1を参考にして第1絶縁層303、画素TFTの活性層403、第2絶縁層306、タンタル膜307を形成した。こうして図4(A)の状態が得られた。なお、同時形成されているCMOS回路は図3(A)の状態にある。

【0084】

次に、レジストマスク404a～404cを形成し、タンタル膜307のエッチングを行った。こうして第2配線405a～405cが形成された。なお、第2配線405aは図2(A)の第2配線207aに、第2配線405bは図2(A)の第2配線207bに、第2配線405cは図2(A)の第2配線207cに相当する。

【0085】

次に、後にLDD領域を形成するためのリン(n-)の添加工程を行い、低濃度不純物領域406～408を形成した。この工程は図3(B)の工程に対応する。従って、図4(B)の工程において、第2配線の材料や膜厚、およびリンの添加条件は実施例1と同様である。

【0086】

次に、図3(C)に相当する工程を行った。この工程では、画素マトリクス回路においてはレジストマスク409で全面を覆い、ボロンが全く添加されないようにした。(図4(C))

【0087】

次に、レジストマスク409を除去した後、裏面露光法によりレジストマスク

410a～410dを形成した。そして、リン(n+)の添加工程を行い、ソース領域411、ドレイン領域412、LDD領域413、414およびチャネル形成領域415、416を形成した。この時、裏面露光条件やリンの添加条件等は実施例1の図3(D)の工程に従えば良い。

[0088]

なお、図4(D)では説明の便宜上、ソース領域やドレイン領域と記載したが、画素TFTの場合は画素への充電時と放電時でソース領域とドレイン領域が逆転するので明確な区別はない。

[0089]

また、417で示される領域はレジストマスク410dで隠されるため、結果的にLDD領域413、414と同濃度でリンが添加された領域となる。この領域は、第1配線402に電圧を印加することで電極として機能させることができ、第1配線402、第1絶縁層303および低濃度不純物領域417で保持容量が形成される。

[0090]

こうしてリンおよびボロンの添加工程が終了したら、実施例 1 と同様に不純物元素の活性化工程を行った。そして、第 1 層間絶縁層 324 を形成し、コンタクトホールを形成してソース配線 418、ドレイン配線 419 を形成した。こうして図 4 (E) の状態を得た。この時、CMOS 回路は図 3 (E) の状態となっている。

[0091]

次に、ソース配線418およびドレイン配線419を覆って第2層間絶縁層420を形成した。本実施例ではパッシベーション膜として30nm厚の窒化珪素膜を形成し、その上に700nm厚のアクリル膜を形成した。勿論、酸化珪素膜など珪素を主成分とする絶縁膜を用いても良いし、他の樹脂膜を用いても良い。他の樹脂膜としては、ポリイミド膜、ポリアミド膜、BCB(ベンゾシクロブテン)膜などを使用することができる。

[0092]

次に、100 nm厚のチタン膜でなるブラックマスク421を形成した。ブラック

クマスク421は遮光性を有する膜であれば他の膜を用いても良い。代表的にはクロム膜、アルミニウム膜、タンタル膜、タングステン膜、モリブデン膜、チタン膜またはそれらの積層膜を用いれば良い。

【0093】

次に第3層間絶縁層422を形成した。本実施例では1μm厚のアクリル膜としたが、第2層間絶縁層と同様の材料を用いることができる。

【0094】

次に、第3層間絶縁層422にコンタクトホールを形成し、透明導電膜（代表的にはITO膜）でなる画素電極423を形成した。この時、画素電極423はドレイン配線419と電気的に接続される。従って、コンタクトホールは非常に深いものとなるので、内側の側壁がテーパー形状または曲面を有するように形成すると画素電極が断線するなどの不良を防ぐのに有効であった。

【0095】

こうして図5（A）に示すような構造の画素マトリクス回路が完成した。なお、本実施例では画素電極として透明導電膜を用いて透過型AM-LCDを作製する例を示したが、画素電極として反射率の高い金属膜（アルミニウムを主成分とする金属膜など）を用いることで容易に反射型AM-LCDを作製することが可能である。

【0096】

また、図5（A）の状態となった基板をアクティブマトリクス基板という。本実施例では、実際にAM-LCDを作製した場合の構造も併せて説明する。

【0097】

図5（A）の状態が得られたら、配向膜424を80nmの厚さに形成した。次に、対向基板を作製した。対向基板はガラス基板425上にカラーフィルタ426、透明電極（対向電極）427、配向膜428を形成したものを準備した。そして、それぞれの配向膜424、428に対してラビング処理を行い、シール材（封止材）を用いてアクティブマトリクス基板と対向基板とを貼り合わせた。そして、その間に液晶429を保持させた。

【0098】

なお、セルギャップを維持するためのスペーサは必要に応じて設ければ良い。

従って、対角1インチ以下のAM-LCDのようにスペーサがなくてもセルギャップを維持できる場合は特に設けなくても良い。

【0099】

こうして図5 (B) に示す構造のAM-LCD (画素マトリクス回路の部分) が完成した。本実施例に示した第2層間絶縁層420と第3層間絶縁層422は実際には実施例1に示したCMOS回路上にも形成されることになる。また、ブラックマスク421や画素電極423を形成すると同時に、それらを構成する材料で配線を形成し、その配線をAM-LCDのドライバー回路や信号処理回路の引き回し配線 (第4配線または第5配線) として用いることも可能である。

【0100】

本実施例の場合、画素TFTに設けられた第1配線401b、401cは最低電源電位に設定した。こうしておくことで、ホットキャリア注入によってドレイン端部に生じたホール (正孔) を第1配線に引き抜くことができるため、信頼性の向上に適した構造となる。勿論、第1配線401b、401cをフローティング状態にしておくこともできるが、その場合にはホールの引き抜き効果を期待できない。

【0101】

〔実施例3〕

本実施例では本願発明の画素マトリクス回路やCMOS回路 (具体的にはCMOS回路で形成されたドライバー回路や信号処理回路) を具備したAM-LCD の外観を図6に示す。

【0102】

アクティブマトリクス基板601には画素マトリクス回路602、信号線駆動回路 (ソースドライバー回路) 603、走査線駆動回路 (ゲートドライバー回路) 604、信号処理回路 (信号分割回路、D/Aコンバータ回路、γ補正回路等) 605が形成され、FPC (フレキシブルプリントサーキット) 606が取り付けられている。なお、607は対向基板である。

【0103】

ここでアクティブマトリクス基板601上に形成された各種回路をさらに詳しく述べ図示したブロック図を図7に示す。

【0104】

図7において、701は画素マトリクス回路であり、画像表示部として機能する。また、702aはシフトレジスタ回路、702bはレベルシフタ回路、702cはバッファ回路である。これらでなる回路が全体としてゲートドライバー回路を形成している。

【0105】

なお、図7に示したAM-LCDのブロック図ではゲートドライバー回路を、画素マトリクス回路を挟んで設け、それぞれで同一ゲート配線を共有している、即ち、どちらか片方のゲートドライバーに不良が発生してもゲート配線に電圧を印加することができるという冗長性を持たせている。

【0106】

また、703aはシフトレジスタ回路、703bはレベルシフタ回路、703cはバッファ回路、703dはサンプリング回路であり、これらでなる回路が全体としてソースドライバー回路を形成している。画素マトリクス回路を挟んでソースドライバー回路と反対側にはプリチャージ回路14が設けられている。

【0107】

本願発明を用いることで図6に示したような回路を有するAM-LCDの信頼性を大幅に向上させることができる。その際、ドライバー回路や信号処理回路を形成するCMOS回路は実施例1に従えばよく、画素マトリクス回路は実施例2に従えば良い。

【0108】

〔実施例4〕

本実施例では、「実施形態1」に示したCMOS回路や「実施形態2」に示した画素マトリクス回路の構造を異なるものとした場合について説明する。具体的には、回路の要求する仕様に応じて構造を異ならせる例を示す。

【0109】

なお、CMOS回路の基本構造は図1(A)に示した構造、画素マトリクス回

路の基本構造は図2 (A) に示した構造であるため、本実施例では必要箇所のみに符号を付して説明することとする。

【0110】

まず、図8 (A) に示した構造はN TFTのソース側のLDD領域をなくし、ドレイン側のみにLDD領域801を設けた構造である。ドライバ回路や信号処理回路に用いられるCMOS回路は高速動作を要求されるため、動作速度を低下させる要因となりうる抵抗成分は極力排除する必要がある。

【0111】

本願発明のCMOS回路の場合、サブゲート配線として機能する第1配線にゲート電圧を印加することによってGOLD構造を実現し、ホットキャリア注入による劣化を防いでいる。しかしながら、ホットキャリア注入が生じるのはチャネル形成領域のドレイン領域側の端部であり、その部分にゲート電極とオーバーラップした（重なった）LDD領域が存在すれば良い。

【0112】

従って、必ずしもチャネル形成領域のソース領域側の端部にはLDD領域を設けておく必要はなく、却ってソース領域側に設けられたLDD領域が抵抗成分として働いてしまう恐れがある。そのため、図8 (A) のような構造とすることは動作速度を改善する上で有効である。

【0113】

なお、図8 (A) の構造はソース領域とドレイン領域とが入れ替わる画素TFTのような動作をする場合には適用できない。CMOS回路の場合、通常はソース領域およびドレイン領域が固定されるため、図8 (A) のような構造を実現することができる。

【0114】

次に、図8 (B) は基本的には図8 (A) と同様であるが、LDD領域802の幅が図8 (A) よりも狭く形成されている。具体的には0.05～0.5 μm (好ましくは0.1～0.3 μm) とする。図8 (B) の構造はソース領域側の抵抗成分をなくすだけでなく、ドレイン領域側の抵抗成分を極力減らすような構造となっている。

【0115】

このような構造は実際にはシフトレジスタ回路のように3~5Vといった低電圧で駆動し、高速動作を要求するような回路に適している。動作電圧が低いのでLDD領域（厳密にはゲート電極にオーバーラップしたLDD領域）が狭くなつてもホットキャリア注入の問題は顕在化しない。

【0116】

勿論、場合によってはシフトレジスタ回路のみN TFTのLDD領域を完全になくすようなこともできる。その場合、同じドライバー回路内でも、シフトレジスタ回路のN TFTにはLDD領域がなく、他の回路には図1（A）や図8（B）に示した構造を採用するようなこともできる。

【0117】

次に、図8（C）はN TFTをダブルゲート構造、P TFTをシングルゲート構造としたCMOS回路の例である。この場合、チャネル形成領域803、804のドレイン領域に近い側のみの端部にLDD領域805、806を設ける。

【0118】

図3（D）に示したようにLDD領域の幅は裏面露光工程における光の回り込み量で決定するが、マスク合わせによってレジストマスクを形成すれば自由にマスク設計を行うことができる。図8（C）に示した構造においてもマスクを用いれば片側のみにLDD領域を設けることは容易である。

【0119】

しかし、本実施例のようにゲート配線（第2配線）807a、807bと第1配線808、809とをずらして形成することで、裏面露光法を用いても片側のみにLDD領域を形成することが可能となる。

【0120】

このような構造とすることでソース領域側のLDD領域による抵抗成分をなくし、ダブルゲート構造とすることでソースードレイン間にかかる電界を分散させて緩和する効果がある。

【0121】

次に、図8（D）の構造は画素マトリクス回路の一実施形態である。図8（D

) の構造の場合、ソース領域またはドレイン領域に近い片側のみにLDD領域809、810を設ける。即ち、二つのチャネル形成領域811と812の間にはLDD領域を設けない構造とする。

【0122】

画素TFTの場合、充電と放電を繰り返す動作を行うためソース領域とドレイン領域とが頻繁に入れ替わることになる。従って、図8(D)の構造とすることでどちらがドレイン領域となってもチャネル形成領域のドレイン領域側にLDD領域を設けた構造となる。逆に、チャネル形成領域811と812の間の領域は電界集中がないので抵抗成分となるLDD領域をなくした方がオン電流(TFTがオン状態にある時に流れる電流)を大きくするには有効である。

【0123】

なお、図8(A)～(D)の構造において、ソース領域側のチャネル形成領域の端部にはLDD領域を設けない構造としているが、幅の狭いものであれば設けられていても構わない。そのような構造はマスク合わせによってレジストマスクを形成しても良いし、第1配線と第2配線の位置を調節した上で裏面露光法を用いて形成しても良い。

【0124】

なお、本実施例の構成は実施例1、2と組み合わせられることは言うまでもなく、実施例3に示したAM-LCDに用いても良い。

【0125】

〔実施例5〕

本実施例では実施例2に示した画素マトリクス回路とは異なる構造の保持容量を形成した場合について説明する。説明には図9を用いる。なお、基本的な構造は図2(A)に示したものと同じであるので、本実施例では必要箇所のみに符号を付して説明することとする。

【0126】

まず、図9(A)に示した構造は保持容量を、活性層(具体的にはドレイン領域からの延長部分904)901、第2絶縁層902および第2配線と同一層に形成された容量配線903とで形成する。この場合、保持容量の電極として機能

整理番号=P 0 0 4 0 5 9 - 0 2

する領域904は容量配線903がマスクとなるため導電型を付与する不純物元素が添加されず、容量配線903に常に電圧を印加して活性層に反転層が形成された状態を維持しなければならない。

【0127】

また、図9（B）の構造は、図2（A）に示した保持容量の構造と図9（A）に示した保持容量の構造とを組み合わせた例である。具体的には、第1配線と同一層の第1容量配線905、第1絶縁層906および活性層907で第1保持容量を形成し、活性層907（正確には908で示される領域）、第2絶縁層909および第2配線と同一層の第2容量配線910で第2保持容量を形成する。

【0128】

この構造では工程数をなんら増やすことなく、図2（A）や図9（A）に示した保持容量の構造の2倍近い容量を確保することが可能である。特に、AM-LCDが高精細になれば開口率を稼ぐために、保持容量の面積を小さくすることが必要となる。そのような場合に図9（B）の構造は有効である。

【0129】

なお、本実施例の構造を実施例3に示したAM-LCDに対して用いることは有効である。

【0130】

〔実施例6〕

本実施例では図1（A）に示したCMOS回路や図2（A）に示した画素マトリクス回路において、第2配線の一部の構造を変えた場合の例を図10に示す。なお、図10（A）において図1（A）または図2（A）と同じ構成の部分には同一の符号を付している。

【0131】

図10（A）のCMOS回路は、第2配線のうち電源供給部に相当する部分のみ第1導電層1001a、第2導電層1001bとを積層して形成した積層膜1001で構成する。本明細書中では1001で示した配線構造をクラッド構造と呼ぶ。

【0132】

このようなクラッド構造において、第1導電層1001aの材料としてはタンタル、チタン、クロム、タングステン、モリブデン、またはシリコンから選ばれた元素を主成分とする導電膜、或いは前記元素を組み合わせた合金膜やシリサイド膜を用いることができる。また、第2導電層1001bの材料としては銅またはアルミニウムを主成分とする（成分比が50%以上）金属膜を用いることが望ましい。

【0133】

このような構造とした場合、第2配線の電源供給部（図1（B）の107dで示される部分）は第1導電層1001aを第2導電層1001bで覆った構造となる。ただし、この構造では第1導電層1001aの構成元素であるアルミニウムや銅が第2絶縁層（第2配線の下地になる絶縁層）中に拡散する恐れがある。そのため、第2絶縁層の表面に窒化珪素膜を設けておくと、アルミニウムや銅の拡散を効果的に防止することが可能である。

【0134】

また、本実施例の構造は画素マトリクス回路に対しても適用できる。図10（B）の画素マトリクス回路は、第2配線（ゲート配線）および容量配線がタンタル膜のみの単層構造であり、ゲート配線の中でも配線抵抗を抑えたい部分（図2（B）の207aに相当する部分）には上記クラッド構造を採用している。

【0-135】

勿論、図10（A）、図10（B）に示した回路はどちらも同一基板上に同時に形成されることは言うまでもない。

【0136】

また、実施例3のAM-LCDに適用することもできるし、実施例4、5に示した構成と組み合わせることも可能である。

【0137】

〔実施例7〕

本実施例では図1（A）に示したCMOS回路や図2（A）に示した画素マトリクス回路において、NTFTのLDD領域の配置を異なるものとした場合の例を図11に示す。なお、図11（A）において図1（A）または図2（A）と同じ

じ構成の部分には同一の符号を付している。

【0138】

図11 (A) に示したCMOS回路では、N TFTのゲート電極1101がLDD領域1102に重なっている部分と重なっていない部分とを有する構造となっている。この構造において、ゲート電極1101がLDD領域1102に重なっている部分の長さは0.1~3.5 μm (代表的には0.1~0.5 μm、好ましくは0.1~0.3 μm) とし、ゲート電極1101がLDD領域1102に重なっていない部分の長さは0.5~3.5 μm (代表的には1.5~2.5 μm)) とすれば良い。

【0139】

このような構造では、ゲート電極1101とLDD領域1102とが重なる部分では実質的にGOLD構造と同様の効果を示し、重ならない部分では実質的にLDD構造と同様の効果を示す。なお、この重なり加減はマスク合わせで決定しても良いし、光の回り込み量の制御によって実現しても良い。

【0140】

このような構造の特徴としては、ゲート電極に重なったLDD領域によりオン電流の劣化が防がれ、さらにその外側に設けられたゲート電圧が印加されないLDD領域によりオフ電流の増加が防がれる。従って、CMOS回路において、オフ電流も抑えたい場合には図11 (A) の構造が有効である。

【0141】

図11 (B) に示した画素マトリクス回路の場合も同様であり、画素TFTのゲート電極1103、1104はどちらもLDD領域1105、1106がゲート電極1103、1104と重なる領域および重ならない領域を有した構造となっている。この場合、第1配線202b、202cはサブゲート配線として機能させないので、ゲート電極1103、1104のみでチャネル形成領域の電荷が制御される。

【0142】

「実施形態2」で説明した画素TFTの構造では、画素TFTが完全なLDD構造として動作するような構造となっている。しかしながら、図11 (B) の構

造とすることでホットキャリア注入に強い（オン電流の劣化がない又は抑制された）画素TFTを実現することができる。

【0143】

なお、本実施例の構造は実施例3のAM-LCDに適用することもできるし、実施例4～6に示した構成とも自由に組み合わせることが可能である。

【0144】

〔実施例8〕

本実施例ではドライバ回路に用いるCMOS回路において、NTFTのオフ電流を低減するための構造について図12を用いて説明する。

【0145】

図12において、NTFTのLDD領域1201、1202は、実質的に第1配線102aに重なっている部分と重なっていない部分とに区別できる。従って、第1配線102aにゲート電圧が印加された際、図12のNTFTはゲート電極に重なったLDD領域の外側に、ゲート電極に重なっていないLDD領域を有する構造となる。

【0146】

このような構造は実施例7でも説明したように、GOLD構造の利点であるオン電流の劣化を防ぐ効果を有し、且つ、GOLD構造の欠点であるオフ電流の増加を抑制した電気特性を得ることができる。従って、非常に優れた信頼性を有するCMOS回路を実現することが可能である。

【0147】

また、ここではCMOS回路の場合を例にとって説明したが、本実施例の構造を画素マトリクス回路に適用しても構わない。

【0148】

また、本実施例の構造を実現するためには、実施例1の図3(D)に示した工程において裏面露光法を用いなければ良い。即ち、通常のマスク合わせにより第1配線よりも幅の広いレジストマスクを設け、その後、リン($n+$)の添加工程を行えば本実施例の構造を容易に得ることができる。

【0149】

なお、LDD領域の長さ（ゲート電極に重なっている部分と重なっていない部分の長さ）は実施例7に示した範囲を参考にすれば良い。

【0150】

なお、本実施例の構成は実施例3のAM-LCDに適用することもできるし、実施例4～7に示した構成とも自由に組み合わせることが可能である。

【0151】

〔実施例9〕

本実施例では、実施例1または実施例2に示した活性層を形成するにあたってレーザー結晶化以外の手段を用いた場合について説明する。

【0152】

具体的には、活性層として用いる結晶質半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報（米国出願番号08/329, 644または米国出願番号08/430, 623に対応）、特開平8-78329号公報で開示された技術を用いることが望ましい。特に触媒元素としてはニッケルが好適である。

【0153】

なお、本実施例の構成は実施例1乃至実施例8の全ての構成と自由に組み合わせることが可能である。

【0154】

〔実施例10〕

本実施例は活性層を形成する方法として、実施例9に示した熱結晶化法を用い、そこで用いた触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-135468号公報（米国出願番号08/951, 193に対応）または特開平10-135469号公報（米国出願番号08/951, 819に対応）に記載された技術を用いる。

【0155】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にハロゲンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、好

ましくは 1×10^{16} atoms/cm³にまで低減することができる。

【0156】

なお、本実施例の構成は実施例1乃至実施例9の全ての構成と自由に組み合わせることが可能である。

【0157】

〔実施例11〕

本実施例は活性層を形成する方法として、実施例9に示した熱結晶化法を用い、そこで用いた触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-270363号公報（米国出願番号09/050, 182に対応）に記載された技術を用いる。

【0158】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を 1×10^{17} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³にまで低減することができる。

【0159】

なお、本実施例の構成は実施例1乃至実施例10の全ての構成と自由に組み合わせることが可能である。

【0160】

〔実施例12〕

本実施例では、実施例11で示したリンによるゲッタリング工程の別形態について説明する。なお、基本的な工程は図1に従うものであるので、相違点のみに着目して説明する。

【0161】

まず、実施例1の工程に従って図3(D)の状態を得た。図13(A)は図3(D)の状態からレジストマスク317a～317dを除去した状態を表している。ただし、TFTの活性層となる半導体層の形成には実施例9に示した熱結晶化技術を用いている。

【0162】

この時、NTFTのソース領域318及びドレイン領域319、並びにPTFTのソース領域322及びドレイン領域323には $1 \times 10^{19} \sim 1 \times 10^{21}$ atom s/cm³ (好ましくは 5×10^{20} atoms/cm³) の濃度でリンが含まれている。

【0163】

本実施例ではこの状態で、窒素雰囲気中で500~800°C、1~24時間、例えば600°C、12時間の加熱処理の工程を行う。この工程により、添加された13族または15族に属する不純物元素を活性化することができた。さらに、結晶化工程の後残存していた触媒元素（本実施例ではニッケル）が矢印の方向に移動し、前述のソース領域及びドレイン領域に含まれたリンの作用によって同領域にゲッタリング（捕獲）することができた。その結果、チャネル形成領域からニッケルを 1×10^{17} atoms/cm³以下にまで低減することができた。（図13（B））

【0164】

図13（B）の工程が終了したら、以降の工程は実施例1の工程に従えば、図3（E）に示すようなCMOS回路を作製することができる。勿論、同様のことが画素マトリクス回路でも行われることは言うまでもない。

【0165】

なお、本実施例の構成は実施例1乃至実施例11の全ての構成と自由に組み合わせることが可能である。

【0166】

〔実施例13〕

本実施例では実施例1とは異なる工程順でCMOS回路を作製した場合について図14を用いて説明する。なお、リンの代わりに他の15族に属する元素を用いても良いし、ボロンの代わりに他の13族に属する元素を用いても良い。

【0167】

まず、実施例1の工程に従って、図3（B）の工程までを終了させた。図14（A）は図3（B）と同じ状態を図示しており、同一の符号を付している。この工程はリン（n-）の添加工程であり、低濃度不純物領域310、311が形成された。

【0168】

次に、レジストマスク308a、308bを除去した後、裏面露光法を用いてレジストマスク11a、11bを形成した。そして、実施例1と同様の添加条件でリン（n+）の添加工程を行い、N TFTのソース領域12、ドレイン領域13、LDD領域14およびチャネル形成領域15を形成した。（図14（B））

【0169】

次に、レジストマスク11a、11bを除去した後、レジストマスク16a～16dを形成し、タンタル膜309bをエッチングして第2配線17a～17cを形成した。そして、この状態で実施例1の添加条件に従ってボロン（p++）の添加工程を行い、PTFTのドレイン領域18、ソース領域19およびチャネル形成領域20を形成した。（図14（C））

【0170】

本実施例の場合、ボロンを添加するまではPTFTの活性層にはリンが添加されていないので、ボロンの添加量を最小限に抑えることができる。そのため、製造工程のスループットが向上する。

【0171】

こうして図14（C）の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3（E）に示した構造が実現されるが、実施例1との違いはPTFTのソース領域およびドレイン領域にリンが含まれていない点である。

【0172】

なお、本実施例の作製工程は、実施例1において13族に属する元素または15族に属する元素の添加工程の順序を変えたのみであるから、その他の条件については実施例1を参考にすれば良い。

【0173】

また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0174】

また、本実施例の構成は実施例4～11の如何なる実施例とも自由に組み合わ

せることが可能である。

【0175】

〔実施例14〕

本実施例では実施例1とは異なる工程順でCMOS回路を作製した場合について図15を用いて説明する。なお、リンの代わりに他の15族に属する元素を用いても良いし、ボロンの代わりに他の13族に属する元素を用いても良い。

【0176】

まず、実施例1の工程に従って、図3(A)の工程までを終了させた。次に、レジストマスク21a~21dを形成した後、タンタル膜307をエッチングし、タンタル膜22a、第2配線22b~22dを形成した。そして、実施例1と同様の添加条件でボロン(p++)の添加工程を行い、PTFTのドレイン領域23、ソース領域24およびチャネル形成領域25を形成した。(図15(A))

【0177】

次に、レジストマスク21a~21dを除去した後、レジストマスク26a、26bを形成した。次に、タンタル膜22aをエッチングして第2配線27を形成した。そして、実施例1と同様の添加条件でリン(n-)の添加工程を行い、低濃度不純物領域28、29を形成した。(図15(B))

【0178】

次に、レジストマスク26a、26bを除去した後、裏面露光法を用いてレジストマスク30a~30dを形成し、実施例1の添加条件に従ってリン(n+)の添加工程を行い、NTFTのソース領域31、ドレイン領域32、LDD領域33およびチャネル形成領域34を形成した。(図15(C))

【0179】

本実施例の場合、図15(C)の工程によってPTFTの活性層にもリンが添加されるので、ドレイン領域35およびソース領域36にはNTFTのソース領域31およびドレイン領域32と同濃度のリンが含まれている。

【0180】

こうして図15(C)の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3(E)に示した構造が実現さ

れる。

【0181】

なお、本実施例の作製工程は、実施例1において13族に属する元素または15族に属する元素の添加工程の順序を変えたのみであるから、その他の条件については実施例1を参考にすれば良い。

【0182】

また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0183】

また、本実施例の構成は実施例4～12の如何なる実施例とも自由に組み合わせることが可能である。

【0184】

【実施例15】

本実施例では実施例1とは異なる工程順でCMOS回路を作製した場合について図16を用いて説明する。なお、リンの代わりに他の15族に属する元素を用いても良いし、ボロンの代わりに他の13族に属する元素を用いても良い。

【0185】

まず、実施例14（実施例1も参考にする）の工程に従って、図15（A）の工程までを終了させた。図16（A）は図15（A）と同じ状態を図示しており、同一の符号を付している。この工程はボロン（p++）の添加工程であり、PTFTのドレイン領域23、ソース領域24およびチャネル形成領域25が形成された。

【0186】

次に、レジストマスク21a～21dを除去した後、レジストマスク38a、38bを形成した。そして、タンタル膜22aをエッチングして第2配線39を形成した。次に、実施例1と同様の添加条件でリン（n+）の添加工程を行い、高濃度不純物領域40、41を形成した。（図16（B））

【0187】

次に、レジストマスク38a、38bを除去した後、レジストマスク42a、4

2bを形成し、第2配線39を再びエッチングして、第2配線43を形成した。

そして、実施例1の添加条件に従ってリン(n-)の添加工程を行い、N TFTのソース領域44、ドレイン領域45、LDD領域46およびチャネル形成領域47を形成した。(図16(C))

【0188】

本実施例の特徴としてはボロンを添加した後にPTFTの活性層には全くリンが添加されないという点が挙げられる。後にリンが添加される場合にはリンによってN型に反転しないように予めボロンを多めに添加しておく必要があるが、本実施例の場合にはそのような心配がない。そのため、ボロンの添加量を最小限に抑えることができるので、製造工程のスループットが向上する。

【0189】

こうして図16(C)の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3(E)に示した構造が実現されるが、実施例1との違いはPTFTのソース領域およびドレイン領域にリンが含まれていない点である。

【0190】

なお、本実施例の作製工程は、実施例1において13族に属する元素または15族に属する元素の添加工程の順序を変えたのみであるから、その他の条件については実施例1を参考にすれば良い。

【0191】

また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0192】

また、本実施例の構成は実施例4~11の如何なる実施例とも自由に組み合わせることが可能である。

【0193】

〔実施例16〕

本実施例では実施例1とは異なる工程順でCMOS回路を作製した場合について図17を用いて説明する。なお、リンの代わりに他の15族に属する元素を用

いても良いし、ボロンの代わりに他の13族に属する元素を用いても良い。

【0194】

まず、実施例1の工程に従って、図3（A）の工程までを終了させた。次に、レジストマスク48a、48bを形成した後、タンタル膜307をエッチングし、第2配線49a、タンタル膜49bを形成した。そして、実施例1と同様の添加条件でリン（n+）の添加工程を行い、N TFTの活性層に高濃度不純物領域50、51を形成した。（図17（A））

【0195】

次に、レジストマスク48a、48bを除去した後、レジストマスク52a、52bを形成した。次に、実施例1と同様の添加条件でリン（n-）の添加工程を行った。この工程によりN TFTのソース領域54、ドレイン領域55、LDD領域56およびチャネル形成領域57が形成された。（図17（B））

【0196】

次に、レジストマスク52a、52bを除去した後、レジストマスク58a～58dを形成し、タンタル膜49bのエッチングを行って、第2配線59a～59cを形成した。そして、実施例1の添加条件に従ってボロン（p++）の添加工程を行い、P TFTのドレイン領域60、ドレイン領域61およびチャネル形成領域62を形成した。（図17（C））

【0197】

本実施例の場合、ボロンを添加するまではP TFTの活性層にはリンが添加されていないので、ボロンの添加量を最小限に抑えることができる。そのため、製造工程のスループットが向上する。

【0198】

こうして図17（C）の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3（E）に示した構造が実現される。

【0199】

なお、本実施例の作製工程は、実施例1において13族に属する元素または15族に属する元素の添加工程の順序を変えたのみであるから、その他の条件につ

いては実施例1を参考にすれば良い。

【0200】

また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0201】

また、本実施例の構成は実施例4～11の如何なる実施例とも自由に組み合わせることが可能である。

【0202】

〔実施例17〕

本実施例では実施例1とは異なる工程順でCMOS回路を作製した場合について図18を用いて説明する。なお、リンの代わりに他の15族に属する元素を用いても良いし、ボロンの代わりに他の13族に属する元素を用いても良い。

【0203】

まず、実施例16（実施例1も参考にする）の工程に従って、図17（A）の工程までを終了させた。図18（A）は図17（A）と同じ状態を図示しており、同一の符号を付している。この工程はリン（n+）の添加工程であり、NTFTの活性層に高濃度不純物領域50、51が形成された。

【0204】

次に、レジストマスク48a、48bを除去した後、レジストマスク63a～63dを形成した。そして、タンタル膜49bをエッチングして第2配線64a～64cを形成した。次に、実施例1と同様の添加条件でボロン（p++）の添加工程を行い、PTFTのドレイン領域65、ソース領域66およびチャネル形成領域67を形成した。（図18（B））

【0205】

次に、レジストマスク63a～63dを除去した後、レジストマスク68a、68bを形成し、第2配線49aを再びエッチングして、第2配線69を形成した。そして、実施例1の添加条件に従ってリン（n-）の添加工程を行い、NTFTのソース領域70、ドレイン領域71、LDD領域72およびチャネル形成領域73を形成した。（図18（C））

【0206】

本実施例の特徴としてはP TFTの活性層には全くリンが添加されないという点が挙げられる。前後の工程でリンが添加される場合にはリンによってN型に反転しないようにボロンを多めに添加する必要があるが、本実施例の場合にはそのような心配がない。そのため、ボロンの添加量を最小限に抑えることができるので、製造工程のスループットが向上する。

【0207】

こうして図18 (C) の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3 (E) に示した構造が実現されるが、実施例1との違いはP TFTのソース領域およびドレイン領域にリンが含まれていない点である。

【0208】

なお、本実施例の作製工程は、実施例1において13族に属する元素または15族に属する元素の添加工程の順序を変えたのみであるから、その他の条件については実施例1を参考にすれば良い。

【0209】

また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0210】

また、本実施例の構成は実施例4～11の如何なる実施例とも自由に組み合わせることが可能である。

【0211】**〔実施例18〕**

実施例15の作製工程に従った場合、図16 (A) 、 (B) 、 (C) を見ても分かるようにP TFTの活性層に対してリンが添加されない。そのため、実施例12に示した工程（結晶化に用いた触媒元素をソース領域またはドレイン領域に添加されたリンによってゲッタリングする工程）を実施することはできない。

【0212】

しかしながら、図16 (B) でレジストマスク38a、38bを形成する際に、

整理番号=P004059-02

P TFTとなる領域の上にはレジストマスクを形成しないようにすればP TFTの活性層にもリンを添加しておくことが可能となる。

【0213】

ただし、その場合にはP TFTは第2配線22bのみがドーピング工程のマスクとして用いられるため、完全にマスクとして機能しうることが前提となる。即ち、タンタル膜でなる第2配線22bの膜厚が250nm以上（好ましくは350nm以上）であることが望ましい。それ以下になるとP TFTのチャネル形成領域25の中にリンが到達してしまう恐れがある。

【0214】

なお、本実施例の構成は実施例4～12の如何なる実施例とも自由に組み合わせることが可能である。

【0215】

〔実施例19〕

本実施例では実施例15に示した作製工程においてパターニング回数を削減した場合の例について図19を用いて説明する。

【0216】

まず、実施例15の作製工程に従って図16（B）の状態を得た。そして、その状態で等方的なエッチング手法によって第2配線39をエッチングする。この工程では第2配線39が側面から横方向にエッチングされ、線幅の細くなった第2配線74が形成された。（図19（A））

【0217】

次に、レジストマスク38a、38bを除去した後、実施例1と同様の添加条件でリン（n-）の添加工程を行い、N TFTのソース領域75、ドレイン領域76、LDD領域77およびチャネル形成領域78を形成した。また、同時にP TFTのドレイン領域79およびソース領域80にもLDD領域77と同濃度のリンが添加された。但し、P TFTのチャネル形成領域81にはP TFTのゲート電極として機能する第2配線がマスクとなり、リンは添加されなかった。（図19（B））

【0218】

こうして図19（B）の工程が終了したら、この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3（E）に示した構造が実現されるが、実施例1との違いはP TFTのソース領域およびドレイン領域にはN TFTのLDD領域と同濃度のリンが含まれている点である。

【0219】

本実施例の場合、図19（B）の工程では第2配線がマスクとして機能するため、チャネル形成領域78、81にはリンが添加されないような膜厚としておくことが必要である。しかし、本実施例の作製工程に従えばパターニングのマスク数を1枚減らすことができるのでスループットが向上する。

【0220】

なお、本実施例の作製工程において、ボロンは他の13族に属する元素としても良いし、リンは他の15族に属する元素としても良い。また、特に説明のないその他の条件については実施例1を参考にすれば良い。

【0221】

また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0222】

なお、本実施例の構成は実施例4～11の如何なる実施例とも自由に組み合わせができる。また、実施例18と組み合わせることによって、実施例12との組み合わせ也可能となる。

【0223】

〔実施例20〕

本実施例では実施例16に示した作製工程においてパターニング回数を削減した場合の例について図20を用いて説明する。

【0224】

まず、実施例16の作製工程に従って図17（A）の状態を得た。そして、その状態で等方的なエッチング手法によって第2配線49aをエッチングする。この工程では第2配線49aが側面から横方向にエッチングされ、線幅の細くなつた第2配線82aが形成された。なお、P TFTを覆うタンタル膜49bも同時に

エッチングされ、タンタル膜82bが形成された。（図20（A））

【0225】

次に、レジストマスク48a、48bを除去した後、実施例1と同様の添加条件でリン（n-）の添加工程を行い、N TFTのソース領域83、ドレイン領域84、LDD領域85およびチャネル形成領域86を形成した。（図20（B））

【0226】

こうして図20（B）の工程が終了したら、実施例16の作製工程に従って図17（C）の工程を行った。この後は実施例1の工程に従ってCMOS回路を作製すれば良い。構造としては図3（E）に示した構造が実現される。

【0227】

本実施例の場合、図20（B）の工程では第2配線がマスクとして機能するため、チャネル形成領域85およびPTFTの活性層にはリンが添加されないような膜厚としておくことが必要である。しかし、本実施例の作製工程に従えばパターニングのマスク数を1枚減らすことができるのでスループットが向上する。

【0228】

なお、本実施例の作製工程において、ボロンは他の13族に属する元素としても良いし、リンは他の15族に属する元素としても良い。また、特に説明のないその他の条件については実施例1を参考にすれば良い。

【0229】

また、本実施例の作製工程はCMOS回路を例にとって説明しているが、同時に画素マトリクス回路をも形成できることは言うまでもない。

【0230】

なお、本実施例の構成は実施例4～11の如何なる実施例とも自由に組み合わせができる。また、実施例18と組み合わせることによって、実施例12との組み合わせも可能となる。

【0231】

〔実施例21〕

本実施例では第1配線または第2配線の材料としてタンタル膜以外の材料を用

いた場合について説明する。説明は図21を用いて行う。なお、本実施例は、実施例10に示したような、700～1150℃といった高い温度での熱処理工程を含む作製工程において特に有効な技術である。

【0232】

第1配線は活性層の形成よりも前に形成されているため、活性層を熱酸化するような工程が含まれると、第1配線も高い熱処理が加えられることになる。その時、第1配線を形成する成分元素が酸素と結びつくことで、配線抵抗が増加するといった問題が生じうる。本実施例はそのような問題に対する技術である。

【0233】

本実施例の場合、図21（A）に示すように基板として耐熱性の高い石英基板90を用いた。勿論、熱酸化膜を設けたシリコン基板や絶縁膜を設けたセラミック基板等を用いても構わない。

【0234】

そして第1配線91a～91cの材料としては、タングステンシリサイド（WSix : x = 2～25）膜91a1とシリコン（Si）膜91a2とを積層した積層膜を用いた。勿論、この順序は逆でも良いし、シリコン膜でタングステンシリサイド膜を挟んだ三層構造としても構わない。

【0235】

図21（B）は画素マトリクス回路であるが、この場合にも第1配線92a～92cおよび容量配線93を、タングステンシリサイド膜とシリコン膜との積層膜とした。

【0236】

このような材料を用いることで後に700～1150℃といった高い温度で熱処理工程を行ってもタングステンシリサイド膜91a1の配線抵抗の増加を招くようなことがない。これはタングステンシリサイド膜に含まれる余剰シリコンが優先的に酸素と結合するため、タングステンが酸素と結合するのを防ぐからである。

【0237】

なお、タングステンシリサイド膜の代わりに他の金属シリサイド膜、例えばモ

リブデンシリサイド (M o S i x) 膜、チタンシリサイド (T i S i x) 膜、コバルトシリサイド (C o S i x) 膜、タンタルシリサイド (T a S i x) 膜等を用いても構わない。

【0238】

また、第1配線として単体金属膜（代表的にはタンタル膜、チタン膜、タングステン膜、モリブデン膜）を用いるためには、単体金属膜の上面および／または下面に接してシリコン膜を設ければ良い。こうすることで単体金属膜の酸化を防ぐことができ、配線抵抗の増加を防ぐことができる。

【0239】

従って、タンタル膜、タングステン膜といった単体金属膜をシリコン膜で挟んだ三層構造にすれば、本実施例で用いるような高温プロセスにも耐える第1配線を形成することができる。

【0240】

なお、本実施例の構成は実施例1～20の如何なる実施例とも自由に組み合わせることが可能である。

【0241】

〔実施例22〕

本実施例では、動作電圧の違いによってドライバ回路（またはその他の信号処理回路）で配置するTFTの構造を異なるものとし、最適な回路設計を行う場合の例を示す。

【0242】

図1 (A) に示したCMOS回路はAM-LCDのゲートドライバ回路、ソースドライバ回路またはその他の信号処理回路を形成するが、回路によって動作電圧は異なる。例えば、図7においてシフトレジスタ回路702a、703aは動作電圧が5V程度と低く、高速動作を要求される回路であり、バッファ回路702c、703cは動作電圧が16～20Vと高い回路である。

【0243】

シフトレジスタ回路の場合、動作電圧が低いのでホットキャリア注入が殆ど問題とならず、GOLD構造にしなくても大きな問題はない。逆に、第1配線（サ

ブゲート配線)と活性層との間で形成される寄生容量を排除するためには、第1配線を設けない方が好ましい場合もありうる。ところがバッファ回路の場合、動作電圧が高いのでホットキャリア注入の対策は必須である。そのため、図1(A)に示した構造が有効となる。

【0244】

このように同じドライバー回路であっても動作電圧の違いに応じて図1(A)のCMOS回路を用いる回路と、通常のLDD構造のN TFTを有するCMOS回路を用いる回路とが同一基板上に存在する場合がありうる。

【0245】

勿論、ドライバー回路以外の信号処理回路(D/Aコンバータ回路、γ補正回路または信号分割回路など)も動作電圧が低いので通常のLDD構造のN TFTを有するCMOS回路を用いる場合がある

【0246】

なお、本実施例の構成は実施例1～21に示した如何なる実施例とも自由に組み合わせることが可能である。

【0247】

〔実施例23〕

図1に示したCMOS回路はN TFTのみに第1配線102aが設けられ、PTFTには設けられない構造となっているが、第1配線と同一層の導電層をPTFTの活性層の下に設けることもできる。

【0248】

ここでPTFTの活性層の下に設ける導電層は、PTFTの動作に影響を与えない電位(具体的には最低電源電位等)にあるか、フローティング状態に保持される。即ち、完全に遮光層としての機能しか果たさないようになっている。

【0249】

また、図2に示した画素マトリクス回路はN TFTで形成されているが、PTFTであっても、活性層に下に遮光層として機能する第1配線を設けることで、画素マトリクス回路を形成することが可能である。

【0250】

なお、本実施例の構成は、実施例1～実施例22の如何なる実施例とも自由に組み合わせができる。

【0251】

〔実施例24〕

本実施例では動作電圧の違いに応じて第1絶縁層および／または第2絶縁層の膜厚を異ならせる場合について説明する。

【0252】

図6に示したAM-LCDの場合、画素マトリクス回路607の動作電圧は16Vであるが、ドライバ回路603、604または信号処理回路605では動作電圧が10V以下、さらには5Vの回路もある。

【0253】

具体的には図7において、レベルシフタ回路702b、703b、バッファ回路702c、703c、サンプリング回路703dは画素マトリクス回路701と同様の動作電圧(16～20V)であるが、シフトレジスタ回路702a、703aまたは信号処理回路(図示せず)は動作電圧が5～10Vと低い。

【0254】

このようなシフトレジスタ回路や信号処理回路は高速動作が最も重要なファクターとして考えられるため、ゲート絶縁膜をできるだけ薄くしてTFTの動作速度を上げることが有効である。逆に、バッファ回路や画素マトリクス回路は高速動作性能がさほど要求されないため、ゲート絶縁膜を厚くして耐圧特性を向上させることが有効である。

【0255】

このように動作電圧に応じて回路が要求する仕様が異なる場合、それに応じてゲート絶縁膜の膜厚を異ならせることが有効である。本願発明のNTFTの構造では第1絶縁層と第2絶縁層がゲート絶縁膜として機能しうる絶縁膜であるため、その膜厚を回路に応じて変えることができる。

【0256】

例えば、シフトレジスタ回路、信号処理回路(信号分割回路等)のように動作電圧が低く、高速動作が必要な回路は第1絶縁層を厚く(200～400nm)し

、第2絶縁層を薄く（10～30nm）することが有効である。なお、第1絶縁層を第2絶縁層並に薄くすると動作速度が向上するが寄生容量が大きくなつて周波数特性が悪化するため好ましくない。場合によつては、実施例22のようにシフトレジスタ回路等の場合は第1配線を設けない構造としても良い。

【0257】

また、バッファ回路、サンプリング回路または画素マトリクス回路などのように動作電圧が高い場合は、第2絶縁層を100～200nmと厚くして、ゲート絶縁膜としての耐圧特性を高めておくことが望ましい。

【0258】

また、画素マトリクス回路では第1配線の影響を極力小さくすることが必要であるため、第1絶縁層の膜厚を200～400nmと厚くしておくこともできる。こうすることで画素TFTに設けられた第1配線を遮光層として機能させることができるとなる。

【0259】

以上のように、動作電圧の違う回路に応じてゲート絶縁膜（第1絶縁層および／または第2絶縁層）の膜厚を異ならせることは有効である。

【0260】

なお、本実施例の構成は実施例1～23の如何なる実施例とも自由に組み合わせることが可能である。

【0261】

〔実施例25〕

本願発明のTFT構造はAM-LCDのような電気光学装置だけでなく、あらゆる半導体回路に適用することが可能である。即ち、RISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0262】

さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能

である。このように本願発明は現在LSIが用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut (SOITEC社の登録商標)、ELTRAN (キャノン株式会社の登録商標)などのSOI構造(単結晶半導体薄膜を用いたTFT構造)に本願発明を適用しても良い。

【0263】

また、本実施例の半導体回路は実施例1～24のどのような組み合わせからなる構成を用いても実現することができる。

【0264】

〔実施例26〕

本願発明を実施して形成されたCMOS回路や画素マトリクス回路は様々な電気光学装置や半導体回路に適用することができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本願発明を実施できる。

【0265】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図22に示す。

【0266】

図22(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0267】

図22(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0268】

図22 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0269】

図22 (D) はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0270】

図22 (E) はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0271】

図22 (F) はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2502やその他の信号制御回路に適用することができる。

【0272】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～25のどのような組み合わせからなる構成を用いても実現することができる。

【0273】

【発明の効果】

本願発明は同一構造のN T F T を、活性層の下側に設けた第1配線の電圧を制御することでG O L D構造として用いたり、L D D構造として用いたりする点に特徴がある。即ち、工程数を増やしたり煩雑にすることなく、同一基板上にG O L D構造とL D D構造とを実現することができる。

【0274】

そのため、A M - L C D やA M - L C D を表示ディスプレイとして有する電子

機器等の半導体装置において、回路が要求する仕様に応じて適切な性能の回路を配置することが可能となり、半導体装置の性能や信頼性を大幅に向上させることができた。

【図面の簡単な説明】

- 【図 1】 C M O S 回路の構造を示す図。
- 【図 2】 画素マトリクス回路の構造を示す図。
- 【図 3】 C M O S 回路の作製工程を示す図。
- 【図 4】 画素マトリクス回路の作製工程を示す図。
- 【図 5】 画素マトリクス回路の作製工程を示す図。
- 【図 6】 A M - L C D の外観を示す図。
- 【図 7】 A M - L C D のブロック構成を示す図。
- 【図 8】 C M O S 回路または画素マトリクス回路の構造を示す図。
- 【図 9】 画素マトリクス回路（特に保持容量）の構造を示す図。
- 【図 10】 C M O S 回路または画素マトリクス回路の構造を示す図。
- 【図 11】 C M O S 回路または画素マトリクス回路の構造を示す図。
- 【図 12】 C M O S 回路の構造を示す図。
- 【図 13】 C M O S 回路の作製工程を示す図。
- 【図 14】 C M O S 回路の作製工程を示す図。
- 【図 15】 C M O S 回路の作製工程を示す図。
- 【図 16】 C M O S 回路の作製工程を示す図。
- 【図 17】 C M O S 回路の作製工程を示す図。
- 【図 18】 C M O S 回路の作製工程を示す図。
- 【図 19】 C M O S 回路の作製工程を示す図。
- 【図 20】 C M O S 回路の作製工程を示す図。
- 【図 21】 C M O S 回路または画素マトリクス回路の構造を示す図。
- 【図 22】 電子機器の一例を示す図。

整理番号=P 0 0 4 0 5 9 - 0 2

提出日 平成10年12月25日
特願平10-370541 頁: 1/1

【書類名】 要約書

【要約】

【課題】 信頼性の高いTFT構造を用いた半導体装置を提供する。

【解決手段】 基板100上に形成されたCMOS回路において、Nチャネル型 TFTにサブゲート配線（第1配線）102aとメインゲート配線（第2ゲート配線）107aを設ける。LDD領域113は第1配線102aとは重なり、第2配線107aとは重ならない。このため、第1配線にゲート電圧を印加すればGOLD構造となり、印加しなければLDD構造となる。回路仕様に応じてGOLD構造とLDD構造とを使い分けることができる。

【選択図】 図1